



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0079083
Application Number

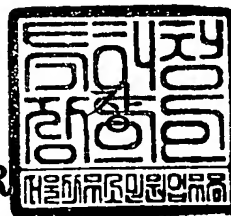
출원 년 월 일 : 2002년 12월 12일
Date of Application

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 26 일

특 허 청
COMMISSIONER





1020020079083

출력 일자: 2003/8/29

【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.07.04
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0079083
【출원일자】	2002.12.12
【심사청구일자】	2002.12.12
【발명의 명칭】	모든 칼럼 선택 트랜지스터들을 선택할 수 있는 칼럼 프리디 코더를 갖는 플래쉬 메모리 장치와 그 스트레스 테스트 방법
【제출원인】	
【접수번호】	1-1-2002-0412805-06
【접수일자】	2002.12.12
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상 항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	정재용
【성명의 영문표기】	JEONG, JAE YONG



1020020079083

출력 일자: 2003/8/29

【주민등록번호】	730929-1717416
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을4단지 아파트 삼성아파 트 433동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	임흥수
【성명의 영문표기】	LIM, HEUNG SOO
【주민등록번호】	680208-1573911
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 진산마을 삼 성5차 519동 904 호
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조 의 규정에의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 12
【발명의 명칭】	모든 칼럼 선택 트랜지스터들을 선택할 수 있는 칼럼 프리 디코더를 갖는 플래쉬 메모리 장치와 그 스트레스 테스트 방법
【발명의 영문명칭】	Flash memory device having column pre-decoder capable of selecting all column selection transistors and stress test method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	정재용
【성명의 영문표기】	JEONG, JAE YONG
【주민등록번호】	730929-1717416
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을4단지아파트 삼성아파트 433동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	임흥수
【성명의 영문표기】	IM, HEUNG S00
【주민등록번호】	680208-1573911
【우편번호】	449-846

【주소】 경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차
519동 904호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조
의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	3 면	3,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	16 항	621,000 원
【합계】		653,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

스트레스 테스트 시 칼럼 선택 트랜지스터들 모두를 선택할 수 있는 칼럼 프리 디코더를 갖는 플레쉬 메모리 장치와 그 스트레스 테스트 방법이 개시된다. 본 발명의 플레쉬 메모리 장치 내 칼럼 프리 디코더는 모든 칼럼 선택 신호를 입력하여 반전시키는 버퍼부와, 버퍼부의 출력과 칼럼 어드레스들을 디코딩하는 디코더부들과, 그리고 디코더들의 출력에 응답하여 칼럼 선택 트랜지스터들의 게이트들에 연결되는 칼럼 선택 신호들의 전압 레벨을 가변시키는 레벨 쉬프터들을 포함한다. 본 발명은 스트레스 테스트 시 비트라인으로 접지 전압 레벨이, 그리고 칼럼 선택 신호들 모두에 고전압이 인가되어 스트레스 테스트를 수행하기 때문에, 스트레스 테스트 시간을 줄인다.

【대표도】

도 6

【색인어】

플레쉬 메모리 장치, 칼럼 선택 트랜지스터, 고전압 스트레스, 테스트 시간

**【명세서】****【발명의 명칭】**

모든 칼럼 선택 트랜지스터들을 선택할 수 있는 칼럼 프리 디코더를 갖는 플래시 메모리 장치와 그 스트레스 테스트 방법{Flash memory device having column pre-decoder capable of selecting all column selection transistors and stress test method thereof}

【도면의 간단한 설명】

도 1은 종래의 플래시 메모리 장치를 나타내는 도면이다.

도 2는 도 1의 종래의 칼럼 프리 디코더를 나타내는 도면이다.

도 3은 레벨 쉬프터를 나타내는 도면이다.

도 4a 및 도 4b는 칼럼 선택 트랜지스터들(MF, MS)의 스트레스 태양을 나타내는 도면이다.

도 5는 본 발명의 일실시예에 따른 플래시 메모리 장치를 나타내는 도면이다.

도 6은 본 발명의 일실시예에 따른 도 5의 칼럼 프리 디코더를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 플래쉬 메모리 장치에 관한 것으로, 특히 모든 칼럼 선택 트랜지스터들을 선택할 수 있는 칼럼 프리 디코더를 갖는 플래쉬 메모리 장치와 그 스트레스 테스트 방법에 관한 것이다.

<8> 불휘발성 메모리 장치들 중 플래쉬 메모리 장치는 온-보드(on board) 상에서 기입과 소거 동작이 가능한 고밀도의 정보 저장 장치이다. 플래쉬 메모리 셀은 선택 게이트, 플로팅 게이트, 소스 및 드레인을 포함하는 하나의 FET(Field Effect Transistor)로 구성된다. 정보는 플래쉬 메모리 셀의 문턱 전압(threshold voltage) V_t 변화에 의해 발생하는 플로팅 게이트 상의 차아지량 변동으로 플래쉬 메모리 셀에 저장된다. 플래쉬 메모리 장치는 크게 낸드 플래쉬 메모리 장치와 노아 플래쉬 메모리 장치로 구분된다. 낸드 플래쉬 메모리 장치는 대용량 정보 저장 장치로 사용되고, 노아 플래쉬 메모리 장치는 고속 데이터 처리를 위한 정보 저장 장치로 사용된다.

<9> 노아 플래쉬 메모리 셀은 일반적으로 2가지 상태, 즉 '프로그래밍된' 과 '삭제된' 상태를 가진다. 노아 플래쉬 메모리 셀이 프로그램되면, 잉여 전자들이 플로팅 게이트 상에 트랩되고(trapped) 문턱 전압 V_t 이 올라가서 선택된 플래쉬 메모리 셀은 드레인-소스 전류가 흐르지 않는다. 플래쉬 메모리 셀이 프로그램된 상태를 로직 '0'이라고 일컫는다. 플래쉬 메모리 셀이 삭제되면 플로팅 게이트 상에

잉여 전자들이 적거나 없어 플래쉬 메모리 셀은 많은 소스-드레인 전류가 흐른다. 플래쉬 메모리 셀이 삭제된 상태를 로직 '1'이라고 일컫는다.

<10> 도 1은 일반적인 노아 플래쉬 메모리 장치를 나타내는 도면이다. 이를 참조하면, 노아 플래쉬 메모리 장치(100)는 어드레스 버퍼(110), 로우 프리 디코더(120), 로우 디코더(130), 셀 어레이(140), 칼럼 프리 디코더(150), 칼럼 디코더(160) 그리고 센스 앰프(170)를 포함한다. 셀 어레이(140)에는 워드라인들(WLi)과 비트라인들(BLi)의 교차점에 플래쉬 메모리 셀들이 배열된다. 어드레스 버퍼(110)는 플래쉬 메모리 셀들을 프로그램 또는 삭제하기 위해 외부에서 어드레스 신호(ADDR)를 입력하고 그 출력으로 로우 어드레스(RowAdd)와 칼럼 어드레스(ColAdd)로 구분한다. 로우 프리 디코더(120)는 입력되는 로우 어드레스(RowAdd)를 디코딩하여 로우 선택 신호(RowSel)를 발생한다. 로우 디코더(130)는 로우 선택 신호(RowSel)에 응답하여 소정의 워드라인(WLi)을 인에이블시키는데, 플래쉬 메모리 장치(100)의 동작 모드에 따라 워드라인(WLi)을 소정의 전압 레벨로 구동한다. 워드라인(WLi)은 프로그램 모드일 때 10V 정도의 전압 레벨로, 삭제 모드일 때 -10V 정도의 전압 레벨로, 그리고 독출 모드일 때 4.5V 정도의 전압 레벨로 구동된다.

<11> 칼럼 프리 디코더(150)는 입력되는 칼럼 어드레스(ColAdd)를 디코딩하여 칼럼 선택 신호들(ColSel1[m:0], ColSel2[n:0])을 발생한다. 칼럼 디코더(160)는 칼럼 선택 신호들(ColSel1[m:0], ColSel2[n:0])에 응답하여 소정의 비트라인(BLi)을 선택하고 선택된 비트라인(BLi)을 데이터 라인(DLi)을 통해 센스 앰프(170)와 연결시킨다. 설명의 편의를 위하여, 16개의 비트라인(BLi, i=0~15)이 예



로써 기술된다. 하나의 제1 칼럼 선택 신호($ColSel1[m:0]$)는 4개의 비트라인(BLi)을 선택하고 하나의 제2 칼럼 선택 신호($ColSel2[n:0]$)는 제1 칼럼 선택 신호($ColSel1[m:0]$)에 의해 선택된 4개의 비트라인(BLi) 중 하나를 선택하여 데이터 라인(DLi)과 연결시킨다.

<12> 도 2는 칼럼 프리 디코더(150)의 구체적인 회로도를 나타내는 도면이다. 이를 참조하면, 칼럼 프리 디코더(150)는 칼럼 어드레스들($ColAdd[3:0]$)을 입력하여 제1 칼럼 선택 신호들($ColSel1[3:0]$)과 제2 칼럼 선택 신호들($ColSel2[3:0]$)을 선택적으로 발생한다. 제1 및 제2 칼럼 어드레스($ColAdd[0]$, $ColAdd[1]$)는 디코딩 블록(200)을 통해 디코딩되어 하나의 레벨 쉬프터(202, 204, 206, 208)를 구동한다. 레벨 쉬프터(202, 204, 206, 208)는 도 3과 같이 구성되며, 로우레벨의 입력 신호(IN)에 응답하여 그 출력(OUT)으로 10V 정도의 고전압(HV)을 발생한다. 레벨 쉬프터(202, 204, 206, 208)의 출력인 고전압(HV)의 제1 칼럼 선택 신호($ColSel1[0]$, $ColSel1[1]$, $ColSel1[2]$, $ColSel1[3]$) 각각은 비트라인(BLi)과 연결되는 제1군의 트랜지스터들(161, 도 1) 중 4개의 트랜지스터를 턴온시킨다. 그리고, 제3 및 제4 칼럼 어드레스($ColAdd[2]$, $ColAdd[3]$)는 디코딩 블록(210)과 레벨 쉬프터(212, 214, 216, 218)를 통해 고전압(HV)의 제2 칼럼 선택 신호($ColSel2[0]$, $ColSel2[1]$, $ColSel2[2]$, $ColSel2[3]$)를 발생한다. 고전압의 제2 칼럼 선택 신호($ColSel2[0]$, $ColSel2[1]$, $ColSel2[2]$, $ColSel2[3]$)는 제1 칼럼 선택 신호($ColSel1[0]$, $ColSel1[1]$, $ColSel1[2]$, $ColSel1[3]$)에 의해 턴온된 4개의 트랜지스터와 연결되는 4개의 비트라인들(BLi , 도 1) 중 하나를 선택하여 하나의 데이터 라인(DLi)과 연결시킨다.



<13> 한편, 플래쉬 메모리 장치(100, 도 1)가 프로그램 모드일 때 프로그래밍 타입에 따라 선택되는 메모리 셀의 비트라인으로 5V 내지 0V 정도의 전압이 인가되고, 비선택된 메모리 셀의 비트라인으로 0V가 인가된다. 이 때, 비선택된 메모리 셀의 비트라인과 연결되는 제1군의 트랜지스터들(161) 내 트랜지스터(MF)의 바이어스 상태를 살펴보면, 도 4a와 같이, 제1 칼럼 선택 신호(ColSel1[0])가 연결되는 그 게이트에 10V 정도의 고전압(HV)이, 그리고 비트라인(BL0)이 연결되는 그 소스에 0V 전압이 인가된다. 이에 따라 MF 트랜지스터의 게이트와 소스 사이에 10V의 전압이 걸리게 된다. 그리고 비선택된 메모리 셀과 연결되는 데이터 라인(DL0)으로 0V의 전압이 인가되는 데, 제2군 트랜지스터들(162) 내 트랜지스터(MS)의 바이어스 상태를 살펴보면, 도 4b와 같이, 제2 칼럼 선택 신호(ColSel2[0])가 연결되는 그 게이트에 10V 정도의 고전압이 인가되고, 그리고 데이터 라인(DL0)이 연결되는 그 드레인에 0V가 인가된다. 이 상태는 프로그램이 끝날 때까지 계속하여 유지되는 데, MF 트랜지스터와 MS 트랜지스터의 게이트 산화막 스트레스를 가중시키게 된다.

<14> 이와 아울러, 삭제 모드일 때에는 벌크(bulk)로 9V 정도의 전압이 인가되어 비트라인으로 커플링된다. 이 때 제1 및 제2 칼럼 선택 신호들(ColSel1[m:0], ColSel2[n:0])은 0V로 인가된다. 그리하여, 제1군 트랜지스터들(161)의 게이트들에 0V 전압이, 그리고 그 소스들에 9V의 커플링 전압이 인가되어 제1군 트랜지스터들(161)의 게이트 산화막 스트레스가 생긴다.

<15> 이러한 게이트 산화막의 스트레스는 프로그램 동작과 삭제 동작을 반복 수행하는 동안 게이트 산화막을 열화(degradation)시켜 트랜지스터 불량을 유발한

다. 이는 최종적으로 플래쉬 메모리 장치의 불량률 의미한다. 이러한 게이트 산화막 열화로 인해 발생될 트랜지스터 불량률 초기에 걸러낼 수 있는 방안이 요구된다.

<16> 그런데, 도 2의 칼럼 프리 디코더(150)에 의해 발생하는 제1 및 제2 칼럼 선택 신호들(ColSel1[m:0], ColSel2[n:0])은 한번에 한번씩 고전압으로 인가되기 때문에, 칼럼 디코더(160, 도 1) 내 제1군 및 제2군 트랜지스터들에 스트레스를 가해 트랜지스터 불량률 걸러내기에는 테스트 시간이 너무 많이 소요되는 문제점이 있다.

<17> 따라서, 스트레스 테스트 시간을 줄일 수 있는 칼럼 프리 디코더를 갖는 플래쉬 메모리 장치가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 스트레스 테스트 시간을 줄일 수 있는 칼럼 프리 디코더를 갖는 플래쉬 메모리 장치를 제공하는 데 있다.

<19> 본 발명의 다른 목적은 상기 플래쉬 메모리 장치의 스트레스 테스트 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위하여, 본 발명은 플래쉬 메모리 셀들과 연결되는 복수개의 비트라인들 중 소정의 비트라인을 선택하는 칼럼 선택 트랜지스터들을 제어하는 칼럼 프리 디코더를 갖는 플래쉬 메모리 장치에 있어서, 칼럼 프리 디코더는 모든 칼럼 선택 신호를 입력하는 버퍼부와, 버퍼부의 출력과 칼럼 어드레

스들을 디코딩하는 디코더부들과, 그리고 디코더들의 출력에 응답하여 칼럼 선택 트랜지스터들의 게이트들과 연결되는 칼럼 선택 신호들의 전압 레벨을 가변시키는 레벨 쉬프터들을 포함한다. 스트레스 테스트 시 칼럼 선택 신호들 모두를 10V 이상의 고전압으로 인가하여 비트라인 전압 레벨이 일정 전압 예컨대, 접지 전압 레벨인 칼럼 선택 트랜지스터들에 대하여 스트레스 테스트가 진행된다.

<21> 바람직하기로, 버퍼부는 모든 칼럼 선택 신호를 입력하는 인버터로 구성되고, 디코더부들 각각은 버퍼부의 출력과 칼럼 어드레스를 입력하는 낸드 게이트로 구성된다. 레벨 쉬프터는 고전압에 그 소스들이 연결되고 그 게이트들이 상대방 드레인에 각각 교차 연결되는 제1 및 제2 피모스 트랜지스터들과, 디코더부의 출력을 입력하는 인버터와, 제1 피모스 트랜지스터의 드레인과 접지 전압 사이에 연결되고 인버터의 출력에 게이팅되는 제1 엔모스 트랜지스터와, 제2 피모스 트랜지스터의 드레인과 접지 전압 사이에 연결되고 디코더부의 출력에 게이팅되고 그 드레인이 제2 피모스 트랜지스터의 드레인과 연결되어 칼럼 선택 신호를 발생하는 제2 엔모스 트랜지스터를 포함한다.

<22> 그리고, 플래쉬 메모리 장치는 칼럼 선택 트랜지스터들을 소정의 단(stage)으로 나누는 칼럼 디코더를 더 포함하고, 칼럼 디코더는 일군의 칼럼 선택 신호들에 응답하여 비트라인들 중 적어도 두 개 이상의 비트라인들을 선택하는 제1단의 칼럼 선택 트랜지스터들과, 다른 일군의 칼럼 선택 신호들에 응답하여 제1단의 칼럼 선택 트랜지스터들에 의해 선택된 비트라인들 중 소정의 비트라인을 선택하여 데이터 라인으로 연결시키는 제2단의 칼럼 선택 트랜지스터들을 포함한다.

<23> 상기 다른 목적을 달성하기 위하여, 본 발명은 플래쉬 메모리 셀들과 연결되는 복수개의 비트라인들 중 소정의 비트라인을 선택하는 칼럼 선택 트랜지스터들을 갖는 플래쉬 메모리 장치의 스트레스 테스트 방법에 있어서, 모든 칼럼 선택 신호를 활성화시키는 단계와, 모든 칼럼 선택 신호의 활성화에 응답하여 칼럼 선택 트랜지스터들의 게이트들로 10V 이상의 고전압을 인가하는 단계와, 그리고 모든 칼럼 선택 신호의 비활성화에 응답하여 입력되는 칼럼 어드레스들을 디코딩하여 칼럼 선택 트랜지스터들을 선택적으로 턴온시키는 단계를 포함한다. 바람직하기로, 일정 전압, 예컨대 접지 전압 레벨인 비트라인과 연결되는 칼럼 선택 트랜지스터들로 스트레스 테스트가 진행된다.

<24> 따라서, 본 발명에 의하면, 스트레스 테스트 시 칼럼 선택 트랜지스터들 모두를 선택하고 그 게이트들로 고전압을 인가하여 스트레스 테스트를 수행할 수 있기 때문에, 스트레스 테스트 시간을 줄인다.

<25> 이하, 본 발명은 도 5와 도 6을 참조하여 구체적으로 설명된다.

<26> 도 5는 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다. 이를 참조하면, 플래쉬 메모리 장치(500)는 도 1의 플래쉬 메모리 장치(100)와 비교하여 칼럼 프리 디코더(510) 만이 차이가 있고 나머지 구성요소들은 거의 동일하다. 칼럼 프리 디코더(510)는 칼럼 어드레스(ColAddr)와 모든 칼럼 선택 신호(AllColSel)에 응답하여 선택적으로 또는 전체로 칼럼 선택 신호들(ColSel1[m:0], ColSel2[n:0])를 발생한다. 칼럼 프리 디코더(510)는 도 6에 구체적으로 도시되어 있다.

<27> 도 6을 참조하면, 칼럼 프리 디코더(510)는 버퍼부(610), 디코더부들(620, 630), 그리고 레벨 쉬프터들(202, 204, 206, 208, 212, 214, 216, 218)을 포함한다. 레벨 쉬프터들(202, 204, 206, 208, 212, 214, 216, 218)은 도 3의 레벨 쉬프터와 동일하다. 버퍼부(610)는 모든 칼럼 선택 신호(AllColSel)를 입력하는 인버터로 구성된다. 모든 칼럼 선택 신호(AllColSel)가 하이레벨로 활성화되면 버퍼부(610)의 출력은 로우레벨이 된다. 디코더부들(620, 630)은 칼럼 어드레스들(ColAdd[0], ColAdd[1], ColAdd[2], ColAdd[3])과 버퍼부(610)의 출력을 조합한다. 디코더부들(620, 630)의 출력은 레벨 쉬프터(202, 204, 206, 208, 212, 214, 216, 218)을 통해 제1 및 제2 칼럼 선택 신호들(ColSel1[0], ColSel1[1], ColSel1[2], ColSel1[3], ColSel2[0], ColSel2[1], ColSel2[2], ColSel2[3])을 발생한다.

<28> 버퍼부(610)의 출력이 로우레벨이면 디코더부들(620, 630)의 출력이 모두 로우레벨이 되고, 레벨 쉬프터들(202, 204, 206, 208, 212, 214, 216, 218)의 출력은 고전압(HV)의 제1 및 제2 칼럼 선택 신호들(ColSel1[0], ColSel1[1], ColSel1[2], ColSel1[3], ColSel2[0], ColSel2[1], ColSel2[2], ColSel2[3])로 발생된다. 고전압의 제1 및 제2 칼럼 선택 신호들(ColSel1[0], ColSel1[1], ColSel1[2], ColSel1[3], ColSel2[0], ColSel2[1], ColSel2[2], ColSel2[3])은 이 후 도 1의 칼럼 디코더(160) 내 칼럼 선택 트랜지스터들(161, 162)의 게이트들로 인가되어 칼럼 선택 트랜지스터들(161, 162)을 턴온시킨다. 칼럼 선택 트랜지스터들(161, 162)은 바람직하기로, 엔모스 트랜지스터들로 구성되고, 고전압은 전원 전압 이상의 전압레벨로 외부에서 직접 제공 될 수 있다. 이는 칼럼 선택



트랜지스터들(161, 162) 모두에 대해 스트레스 인가 테스트를 한꺼번에 수행할 수 있다는 것을 의미한다. 다만, 이 때 0V의 비트라인(BLi)과 연결되는 칼럼 선택 트랜지스터들에 대하여 스트레스 테스트가 진행된다.

<29> 한편, 모든 칼럼 선택 신호(AllColSel)가 로우레벨로 비활성이면, 버퍼부(610)의 출력은 하이레벨이 된다. 버퍼부(610)의 출력이 하이레벨이 되면 디코더부들(620, 630)은 도 2의 디코더부들(200, 210)과 동일하게 동작된다. 즉, 레벨 쉬프터(202, 204, 206, 208)의 출력인 고전압(HV)의 제1 칼럼 선택 신호(ColSel1[0], ColSel1[1], ColSel1[2], ColSel1[3]) 각각은 비트라인(BLi)과 연결되는 제1군의 칼럼 선택 트랜지스터들(161, 도 5) 중 4개의 트랜지스터를 턴온시킨다. 그리고, 제3 및 제4 칼럼 어드레스(ColAdd[2], ColAdd[3])는 디코딩 블록(6300)과 레벨 쉬프터(212, 214, 216, 218)를 통해 고전압(HV)의 제2 칼럼 선택 신호(ColSel2[0], ColSel2[1], ColSel2[2], ColSel2[3])를 발생한다. 고전압의 제2 칼럼 선택 신호(ColSel2[0], ColSel2[1], ColSel2[2], ColSel2[3])는 제1 칼럼 선택 신호(ColSel1[0], ColSel1[1], ColSel1[2], ColSel1[3])에 의해 턴온된 4개의 칼럼 선택 트랜지스터와 연결되는 4개의 비트라인들(BLi, 도 5) 중 하나를 선택하여 하나의 데이터 라인(DLi)과 연결시킨다.

<30> 여기에서, 칼럼 선택 신호로 인가되는 고전압은 외부에서 직접 인가될 수도 있으며, 그 전압 레벨이 가변적이다.

<31> 따라서, 본 발명의 칼럼 프리 디코더에 의하면, 칼럼 선택 트랜지스터들을 동시에 모두 선택하여 스트레스 테스트를 수행할 수 있기 때문에 스트레스 테스트 시간을 줄일 수 있다.

<32> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 본 실시예에서는 10V 정도의 칼럼 선택 신호들과 0V 정도의 비트라인과 연결되는 칼럼 선택 트랜지스터들에 대하여 스트레스 테스트가 진행되는 것에 대하여 기술하고 있지만, 일정한 전압 레벨이 인가되는 칼럼 선택 트랜지스터들에 대하여 다양하게 스트레스 테스트할 수 있음은 물론이다. 본 발명의 사상과 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<33> 상술한 본 발명의 칼럼 프리 디코더에 의하면, 칼럼 선택 트랜지스터들을 모두 선택하고 그 게이트들로 고전압을 인가하여 스트레스 테스트를 수행할 수 있기 때문에, 스트레스 테스트 시간을 줄인다.

【특허청구범위】**【청구항 1】**

플래쉬 메모리 셀들과 연결되는 복수개의 비트라인들 중 소정의 비트라인을 선택하는 칼럼 선택 트랜지스터들을 제어하는 칼럼 프리 디코더를 갖는 플래쉬 메모리 장치에 있어서, 상기 칼럼 프리 디코더는

모든 칼럼 선택 신호를 입력하는 버퍼부;

상기 버퍼부의 출력과 칼럼 어드레스들을 디코딩하는 디코더부들; 및

상기 디코더들의 출력에 응답하여 상기 칼럼 선택 트랜지스터들의 게이트들에 연결되는 칼럼 선택 신호들의 전압 레벨을 가변시키는 레벨 쉬프터들을 구비하고,

스트레스 테스트 시, 상기 모든 칼럼 선택 신호에 응답하여 상기 칼럼 선택 신호 모두를 고전압으로 인가하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 버퍼부는

상기 모든 칼럼 선택 신호를 입력하는 인버터로 구성되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 디코더부들 각각은

상기 버퍼부의 출력과 상기 칼럼 어드레스를 입력하는 낸드 게이트로 구성되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 레벨 쉬프터는

고전압에 그 소스들이 연결되고, 그 게이트들이 상대방 드레인에 각각 교차 연결되는 제1 및 제2 피모스 트랜지스터들;

상기 디코더부의 출력을 입력하는 인버터;

상기 제1 피모스 트랜지스터의 드레인과 접지 전압 사이에 연결되고, 상기 인버터의 출력에 게이팅되는 제1 엔모스 트랜지스터; 및

상기 제2 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 상기 디코더부의 출력에 게이팅되고, 그 드레인이 상기 제2 피모스 트랜지스터의 드레인과 연결되어 상기 칼럼 선택 신호를 발생하는 제2 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 5】

제1항에 있어서, 상기 플래쉬 메모리 장치는

상기 칼럼 선택 트랜지스터들을 소정의 단(stage)으로 나누는 칼럼 디코더를 더 구비하고,

상기 칼럼 디코더는

일군의 상기 칼럼 선택 신호들에 응답하여 상기 비트라인들 중 적어도 두 개 이상의 비트라인들을 선택하는 제1단의 칼럼 선택 트랜지스터들; 및

다른 일군의 상기 칼럼 선택 신호들에 응답하여 상기 제1단의 칼럼 선택 트랜지스터들에 의해 선택된 비트라인들 중 소정의 비트라인을 선택하여 데이터 라



인으로 연결시키는 제2 단의 칼럼 선택 트랜지스터들을 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 칼럼 선택 트랜지스터들은
엔모스 트랜지스터들인 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 7】

제1항에 있어서, 상기 칼럼 선택 신호의 고전압은
외부에서 직접 제공되는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 8】

제1항에 있어서, 상기 칼럼 선택 신호의 고전압은
전원 전압 이상의 전압 레벨인 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 9】

제1항에 있어서, 상기 비트라인은
상기 스트레스 테스트 시 일정 전압 레벨로 인가되는 것을 특징으로 하는
플래쉬 메모리 장치.

【청구항 10】

제9항에 있어서, 상기 비트라인의 일정 전압은
접지 전압 레벨인 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 11】

플래쉬 메모리 셀들과 연결되는 복수개의 비트라인들 중 소정의 비트라인을 선택하는 칼럼 선택 트랜지스터들을 갖는 플래쉬 메모리 장치의 스트레스 테스트 방법에 있어서,

모든 칼럼 선택 신호를 활성화시키는 단계;

상기 모든 칼럼 선택 신호의 활성화에 응답하여 상기 칼럼 선택 트랜지스터들의 게이트들과 연결되는 칼럼 선택 신호들을 고전압을 인가하는 단계; 및

상기 모든 칼럼 선택 신호의 비활성화에 응답하여 입력되는 칼럼 어드레스들을 디코딩하여 상기 칼럼 선택 트랜지스터들을 선택적으로 턴온시키는 단계를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치의 스트레스 테스트 방법.

【청구항 12】

제11항에 있어서, 상기 칼럼 선택 신호의 고전압은

외부에서 직접 인가되는 것을 특징으로 하는 플래쉬 메모리 장치의 스트레스 테스트 방법.

【청구항 13】

제12항에 있어서, 상기 칼럼 선택 신호의 고전압은

전원 전압 이상의 전압 레벨인 것을 특징으로 하는 플래쉬 메모리 장치의 테스트 방법.

【청구항 14】

제11항에 있어서, 상기 스트레스 테스트 방법은

상기 스트레스 테스트 동안 비트라인들로 일정 전압 레벨이 인가되는 것을 특징으로 하는 플래쉬 메모리 장치의 스트레스 테스트 방법.

【청구항 15】

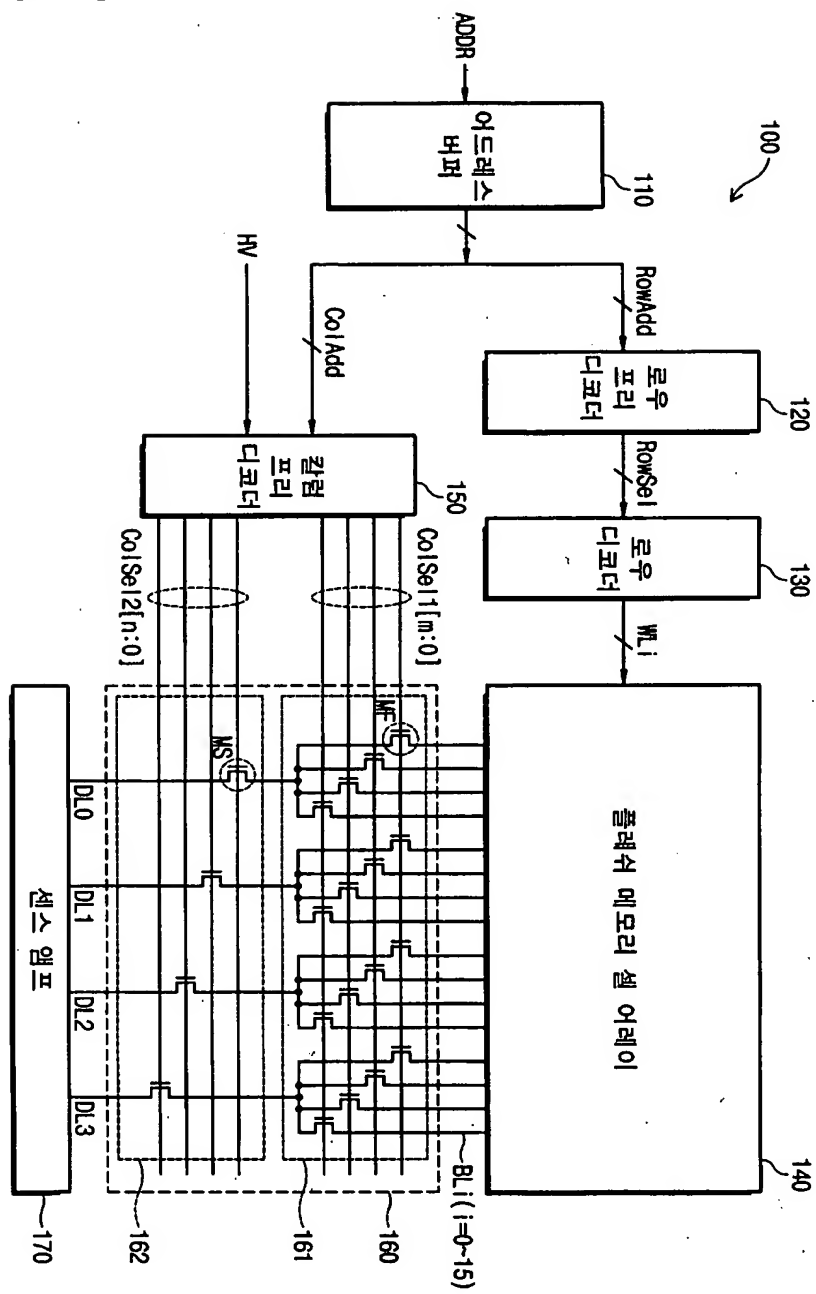
제14항에 있어서, 상기 비트라인의 일정 전압은
접지 전압 레벨인 것을 특징으로 하는 플래쉬 메모리 장치의 스트레스 테스트 방법.

【청구항 16】

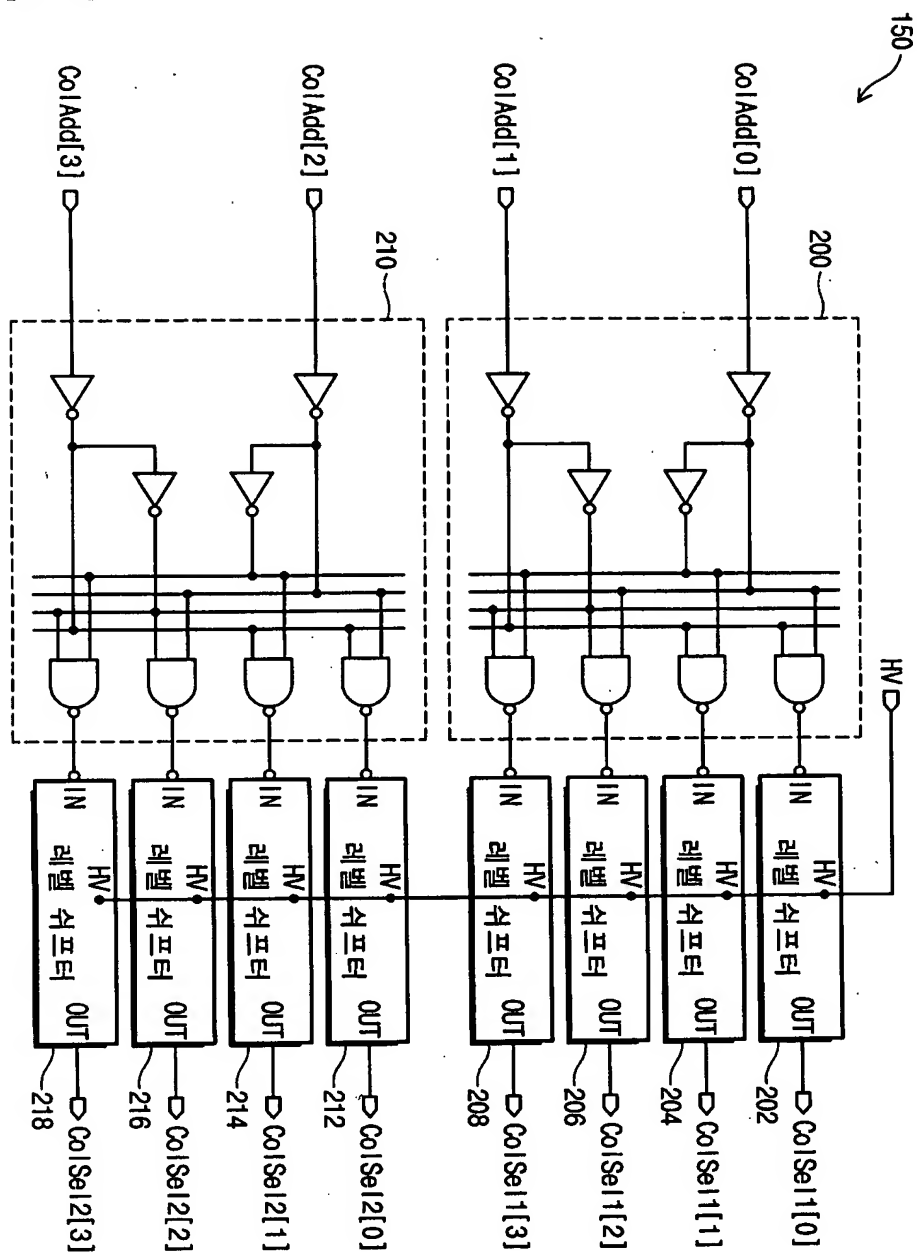
제11항에 있어서, 상기 칼럼 선택 트랜지스터들은
엔모스 트랜지스터들인 것을 특징으로 하는 플래쉬 메모리 장치의 스트레스 테스트 방법.

【도면】

【도 1】



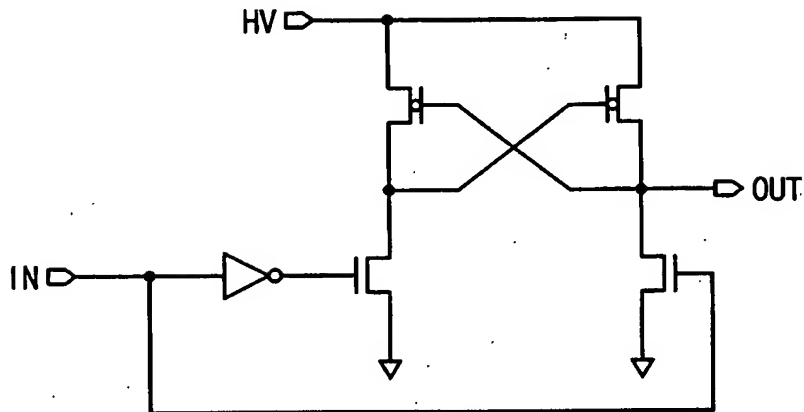
【도 2】





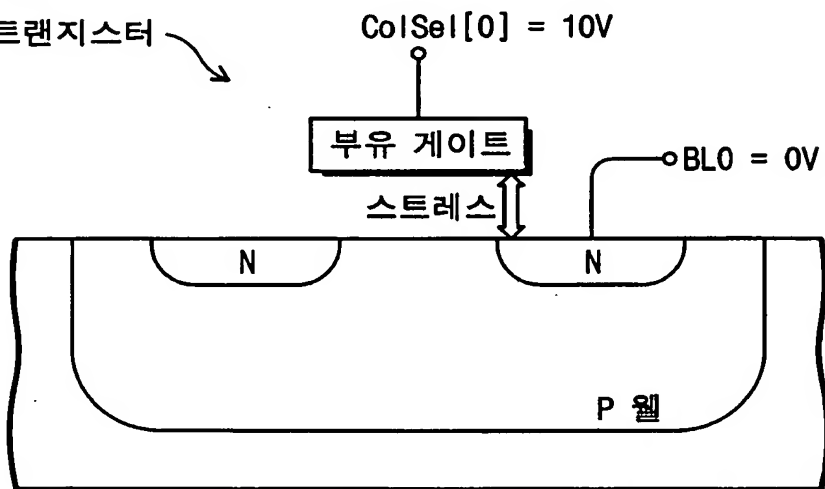
【도 3】

202, 204, 206, 208, 212, 214, 216, 218



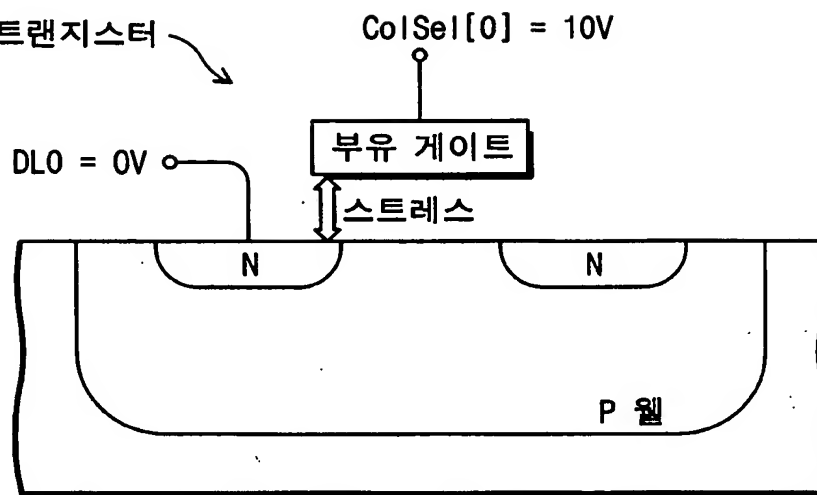
【도 4a】

MF 트랜지스터

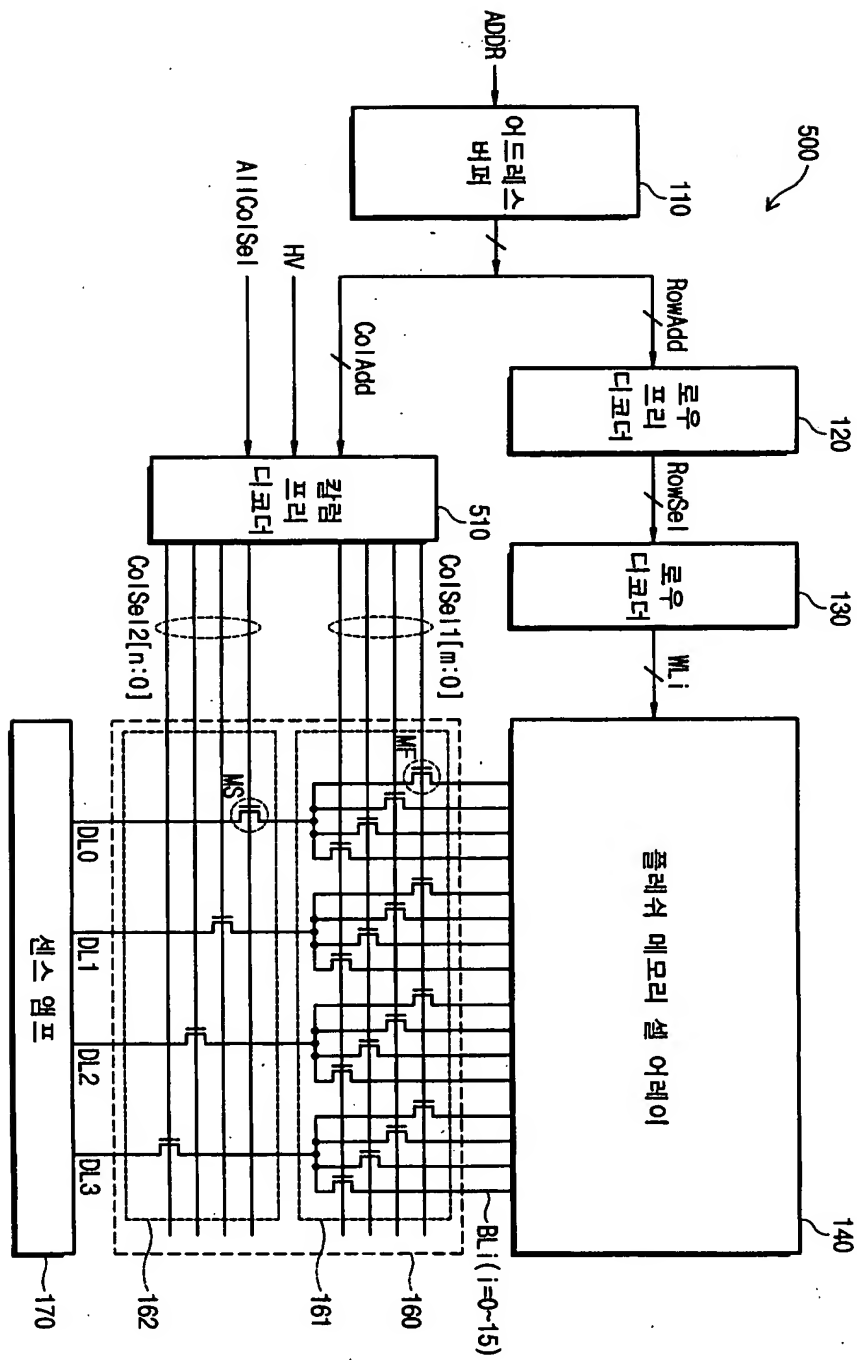


【도 4b】

MS 트랜지스터



【도 5】



【图 6】

